

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1019990036904 A
 (43)Date of publication of application:
 25.05.1999

(21)Application number: 1019980041847
 (22)Date of filing: 07.10.1998
 (30)Priority: 06.10.1997 1
 (51)Int. Cl. H01L 27/148

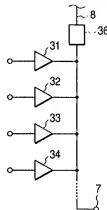
(71)Applicant: CANON KABUSHIKI KAISHA
 (72)Inventor: KOIZUMI TORU
 KOCHI TESUNOBU

(54) IMAGE SENSING APPARATUS, A SIGNAL DETECTION APPARATUS, AND A SIGNAL ACCUMULATION APPARATUS FOR PROGRESSING MULTIFUNCTIONAL READ OUT BY ADDING A MOS TRANSISTOR

(57) Abstract:

PURPOSE: An image sensing apparatus, a signal detection apparatus, and a signal accumulation apparatus are provided to add a MOS transistor for resetting a signal output line and a selective switch temporarily for progressing multifunctional read out.

CONSTITUTION: An image sensing apparatus having a plurality of pixels comprises: a photoelectric conversion unit; an amplification unit for amplifying a signal from the photoelectric conversion unit; a transfer unit for transferring the signal from the photoelectric conversion unit to the amplification unit; and a read control unit for controlling a read of the signal from the amplification unit under control of a voltage level of an input portion of the amplification unit.



copyright KIPO 2007

Legal Status

Date of request for an examination (19981007)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20000915)
 Patent registration number (1002793050000)
 Date of registration (20001030)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()
 Date of extinction of right ()

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/148	(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년02월01일 10-0279305 2000년 10월30일
(21) 출원번호 (22) 출원일자 (30) 우선권 주장	10-1998-0041847 1998년 10월07일 97-272578 1997년 10월06일 일본(JP)	(65) 공개번호 (43) 공개일자 특 1999-0036904 1999년 05월25일
(73) 특허권자	캐논 가부시끼가이샤 미다라이 후지오	
(72) 발명자	일본 도쿄도 오오마루 시오마루쵸 3조메 30방 2고 고이즈미 도루 일본 도쿄도 오오마루 시오마루쵸 3조메 30방 2고캐논 가부시끼가이샤내 고지 다쓰노보 일본 도쿄도 오오마루 시오마루쵸 3조메 30방 2고캐논 가부시끼가이샤내 구영장, 장수길, 주성민	
(74) 대리인		

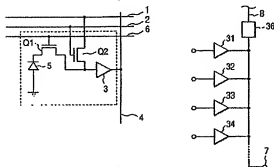
실시관 : 민병준

(54) 영상감지장치, 신호검출장치, 및 신호속격장치

요약

광전 변환 유닛, 광전 변환 유닛으로부터의 신호를 증폭하기 위한 증폭 유닛, 광전 변환 유닛으로부터의 신호를 증폭 유닛으로 전송하기 위한 전송 유닛, 및 증폭 유닛의 입력부의 전압 레벨의 제어 하에 증폭 유닛으로부터의 신호의 판독을 제어하기 위한 판독 제어 유닛을 각각 포함하는 복수의 회로들을 포함하는 영상 감지 장치가 제공된다.

대표도



발명서

도면의 간단한 설명

- 도 1a 및 1b는 종래 회로를 각각 도시하는 등가 회로도.
- 도 2는 종래 판독 시스템을 포함하는 등가 회로도.
- 도 3a 및 3b는 본 발명의 제1 실시예에 따른 하나의 회로 및 하나의 회로 각각의 등가 회로도.
- 도 4는 본 발명의 제1 실시예에 따른 하나의 회로의 등가 회로도.
- 도 5는 본 발명의 제1 실시예에 따른 판독 시스템을 포함하는 등가 회로도.
- 도 6는 본 발명에 사용된 포토다이오드 및 신호 전송 유닛의 단면도.
- 도 7은 본 발명의 제1 실시예에 따른 신호 증폭기의 특성 그래프.

- 도 8은 본 발명의 제1 실시예에 사용된 화소 트랜지스터에 대한 펄스의 타이밍도.
 도 9는 본 발명의 제2 실시예에 따른 하나의 화소의 등가 회로도.
 도 10은 본 발명의 제2 실시예에 따른 판독 시스템을 포함하는 등가 회로도.
 도 11은 본 발명의 제4 실시예에 따른 판독 시스템을 포함하는 등가 회로도.
 도 12는 본 발명의 제5 실시예에 따른 판독 시스템을 포함하는 간단한 등가 회로도.
 도 13은 본 발명의 제6 실시예에 사용된 화소 트랜지스터에 대한 펄스의 타이밍도.
 도 14는 본 발명의 제7 실시예에 따른 판독 시스템을 포함하는 간단한 등가 회로도.
 도 15는 본 발명의 제7 실시예에 사용된 화소 트랜지스터 및 주 트랜지스터에 대한 펄스의 타이밍도.
 도 16은 본 발명의 제8 실시예에 따른 하나의 화소의 등가 회로도.
 도 17은 본 발명의 제9 실시예에 따른 판독 시스템을 포함하는 간단한 등가 회로도.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 501 : 리셋 전원
 2, 504 : 리셋 스위치 라인
 4, 406 : 신호 출력 라인
 5 : 포토다이오드
 6, 505 : 전송 스위치 라인
 7 : 신호 출력 라인의 출력 단자
 8, 502 : 전원
 10, 513 : 출력 증폭기
 13, 511 : 접음 출력
 14, 512 : 신호 출력
 15, 508 : 신호 출력기
 16, 507 : 수평 쉬프트 레지스터
 18, 18' : 공통 신호 라인 전송 스위치
 19, 19', 509, 510 : 공통 신호 라인
 31, 32, 33, 34 : 화소의 신호 증폭기
 36 : 신호 증폭기의 부하
 506 : 수직 쉬프트 레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 영상 감지 장치, 신호 검출 장치, 및 신호 출력 장치에 관한 것으로, 특히 화소 또는 셀로부터의 신호의 판독 제어에 관한 것이다.

도 1a 및 1b는 종래 2 차원 고체 영상 감지 장치(solid-state image sensing)의 화소부를 각각 도시하는 등가 회로도이다. 도 1a 및 1b에서, 화소는 리셋 라인(1), 리셋 스위치 라인(2), 선택 스위치 라인(3), 신호 출력 라인(4) 및 포토다이오드(5)를 각각 구비한다. 도 1a에서의 화소는 또한 전송 스위치 라인(6)을 포함한다. 도 1a는 Eric R. Fossum 등이 1993년판 JEDM(기술 참조 1: JEDM 93, 583쪽~586쪽)에 보고한 고체 영상 감지 장치의 회로를 도시한다. 도 1b는 'ISSCC95/Session 1/Plenary Session/Paper TA1.2'에 보고된 고체 영상 감지 장치의 회로를 도시한다. 도 2는 화소가 2 차원으로 배열되고, 영상 신호를 판독하기 위한 판독 회로가 부가된 도 1b 회로의 예를 도시한다. 각 화소 내에 신호 증폭기를 포함하는 여와 같은 2 차원 고체 영상 감지기는 복수의 스위치 소자 및 포토다이오드 이외에 신호 증폭기를 구성하는 복수의 소자를 필요로 한다. 도 1a에서, 하나의 화소는 하나의 포토다이오드 및 네 개의 MOS 트랜지스터를 필요로 하는데, 이는 화소 하나의 크기를 불가피하게 증가시킨다.

도 1a 및 도 2의 회로의 기본 동작이 설명된다.

(1) 소스 플로어(03)의 입력 노드가 리셋 전압을 입력하는 리셋 동작이 리셋 스위치(02)에 의해 수행되고, 영이 선택 스위치(04)에 의해 선택된다.

(2) 소스 플로어(03)의 입력 노드가 플로트된다. MOS 소스 플로어(03)의 입력 전압에서의 변화와 같은 리셋 전압 및 고정 패턴 잡음으로 구성된 잡음 성분이 판독되고, 판독 결과가 신호 출력기(15)에 일시적으로

기억된다.

(3) 전송 스위치(01)는 광 신호에 의해 발생된 누적 전하를 소스 몰로에(02)의 입력 노드에 전송하기 위해 개방/폐쇄된다. 감응 성분 및 광 신호 성분의 함이 판독되고 신호 측지기(15)에 기억된다.

(4) 감응 성분을 가진 신호와 집중 및 광 신호 성분을 가진 신호가 공통 신호 라인 전송 스위치(18 및 19)를 공유하여 공통 신호 라인(19 및 19')까지 각각 판독된다. 공통 신호 라인(19 및 19')으로부터 출력 측은 비파동 측기를 공유하여 출력(13 및 14)을 각각 생성한다. 다음 단계에서, 리셋 집중 및 고정 패턴 장치가 출력(13 및 14) 간의 차를 계산함으로써 제거될 수 있다. 화소가 수직 셔드트 레지스터(12) 및 수직 셔드트 레지스터(16)에 의해 연속적으로 주사됨을 알아야 한다.

반대로, 도 1b에서, 하나의 화소는 하나의 포토다이오드 및 세 개의 MOS 트랜지스터를 필요로 한다. 트랜지스터의 수는 도 1a에 비해 하나 차이로 작으며, 전송 스위치 라인이 제거될 수 있다. 이는 화소 크기를 상당히 감소시킨다.

그러나, 전송 스위치의 부재로 인해, 도 1b의 화소는 누적이란 동안 각 화소의 감응 성분을 기억하는 메커니즘을 구비하지 않는다. 따라서, 집중이 제거될 수 없고, 영상 감지 장치의 신호 성분 대 집중 성분 비율, 즉 S/N 비율은 도 1a에서의 비율보다 낮다.

상기 기술된 바와 같이, 종래 기술에서, 그 S/N 비율을 실현하고 화소 크기를 감소시키는 것은 어렵다. 추가적으로, 선택 스위치(04)의 전압 강하 시 다이내믹 범위가 좁아진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 화소 또는 셀의 크기를 감소시키는 것이다.

본 발명의 다른 목적은 화소의 다이내믹 범위에서의 감소를 방지하는 것이다.

본 발명의 실시예에 따른, 상기 목적을 달성하기 위해, 광전 변환 수단, 광전 변환 수단으로부터의 신호를 증폭시키기 위한 증폭 수단, 광전 변환 수단으로부터의 신호를 증폭 수단으로 전송하기 위한 전송 수단, 및 증폭 수단 입력부의 전압 레벨의 제어 하에 증폭 수단으로부터의 신호의 판독을 제어하기 위한 판독 제어 수단을 각각 포함하는 복수의 화소를 구비한 영상 감지 장치가 제공된다.

다른 실시예에 따르면, 검출 수단, 검출 수단으로부터의 신호를 증폭시키기 위한 증폭 수단, 검출 수단으로부터의 신호를 증폭 수단으로 전송하기 위한 전송 수단, 및 증폭 수단 입력부의 전압 레벨의 제어 하에 증폭 수단으로부터의 신호의 판독을 제어하기 위한 판독 제어 수단을 각각 포함하는 복수의 셀을 구비한 신호 검출 장치가 제공된다.

또 다른 실시예에 따르면, 측정 수단, 측정 수단으로부터의 신호를 증폭시키기 위한 증폭 수단, 측정 수단으로부터의 신호를 증폭 수단으로 전송하기 위한 전송 수단, 및 증폭 수단 입력부의 전압 레벨의 제어 하에 증폭 수단으로부터의 신호의 판독을 제어하기 위한 판독 제어 수단을 각각 포함하는 복수의 셀을 구비한 신호 측정 장치가 제공된다.

상기 장치로 인해, 화소 또는 셀의 크기가 감소될 수 있다.

화소는 넓은 다이내믹 범위를 달성할 수 있다.

본 발명의 다른 목적 및 특징은 첨부 도면과 관련하여 다음 설명으로부터 명백해질 것이다.

발명의 구성 및 작용

제1 내지 제9 실시예에서 공통적인 부분을 먼저 기술한다.

도 3a는 본 발명의 특징을 가장 상세하게 도시하는 하나의 화소의 등가 회로도이다. 도 3b는 본 발명에 따른 증폭기의 예를 설명하기 위한 회로도이다. 본 발명의 원리는 도 3a 및 3b를 참조하여 설명한다.

도 3a에서, 광에 의해 발생된 전하가 포토다이오드(5)에 누적된다. 선택 전압이 트랜지스터(22)에 의해 신호 증폭기(3)의 입력 단자에 입력된다. 이러한 동작을 이하 리셋 동작으로 지칭한다. 전송 스위치(01)는 신호 증폭기(3)의 입력 단자에 신호 전하를 전송하기 위해 개방/폐쇄된다. 신호 전하를 전송하기 위한 수단으로서, 포토다이오드(5) 및 신호 증폭기(3)의 입력 단자가 전송 스위치(01)에 의해 직접 전기적으로 연결된다. 그들은 하나의 연결 트랜지스터뿐만 아니라 복수의 트랜지스터에 의해 연결될 수 있다. 전하 전송 수단은 적어도 하나의 전하-결합 커패시터 레지스터로 구성될 수 있다. 다시 말해서, 본 발명은 신호 증폭기(3)의 입력의 수단에 의해 신호 증폭기(3)의 입력 단자에 접속될 수 있는 한은 전하 전송 수단에 국한되지 않는다.

이 때, 리셋 동작 직후 신호 증폭기(3)로부터의 출력 신호를 기억하고 신호 전하의 전송 이후 신호 증폭기(3)로부터의 출력측이 집중 성분을 감소함으로써 집중 성분이 제거될 수 있다. 특히 포토다이오드(5)가 매몰 포토다이오드(buried photodiode)인 경우, 리셋 동작 시 발생된 다양한 편향 집중이 포토다이오드(5)를 설계적으로 제거할 수 있으며, 그로 인해 포토다이오드(5)의 누락 영역에 신호 전하의 전송 시 증분 비가 급격히 낮아 주에 전하 전하의 수는 예를 들어 약 0 내지 10 일렉트론이 된다.

도 3b는 2 차원적으로 배열된 화소 네 개의 소정의 열에 각 화소에 대한 신호 증폭기(31 내지 34)가 공통 신호 증폭 라인(7)에 연결된 상태를 도시하는 회로도이다. 신호 증폭기(3)는 기본적으로 다중-입력 신호 증폭기(다이내믹의 입력을 포함하고, 전압(8)에 연결된 부하(30))를 가진다. 이러한 부하로서, 기존 전하량에 집지던 필전류만이 소스 몰로에 구설해서 신호 증폭기(31 내지 34) 증폭시키기 위해 사용될 수 있다. 그러나, 신호 증폭기(3)는 출력측에 따라 하나의 소자 또는 둘 이상의 소자로 구성될 수 있다. 본 발명에서, 신호 증폭기(3)로 구성된 신호 증폭기 다배이스가 비교기 회로 또는 가산기 회로로 표현된 다중-입력 신호 증폭기 회로(3)인 것이 중요하다. 도 3b에서의 신호 증폭기(3)의 부하(30)가 신호 증폭기(3)

로 구성된 신호 증폭기 디바이스의 동작 스킴에 좌우된다. 예를 들어, 만약 신호 증폭기 디바이스가 (이하 기술될) 제1 실시예로 표현된 형태로 동작하기라면, 부하(36)는 결정유일이며, 전압(8)은 접지된다. 만약 신호 증폭기 디바이스가 (이하 기술될) 제2 실시예로 표현된 레지스터 부하를 사용한 변형 동작이라면, 신호 증폭기(31 내지 34)에 대한 부하는 레지스터이고 전압(8)은 전압 전압(VDD)이 된다.

동작 원리를 설명한다. 예를 들어, 제1 실시예로 표현된 플로터형 신호 증폭기 디바이스에서, 신호 증폭기 디바이스에서의 출력은 영 선택 스위치의 부재로 가장 높은 전압 출력을 나타내는 방향으로부터의 출력이 된다. 광 신호가 증가함에 따라 출력이 감소되는 화소 장치에서, 광 신호는 목표 원으로부터 판독될 수 있고, 양의 빛의 다른 레벨에 의도하지 않게 출력된다. 이를 방지하기 위한 수단으로서, 종래 장치에서는 선택 스위치를 사용한다. 반대로, 본 발명에서는, 광 신호가 판독되는 경우, 소스 플로터 트랜지스터를 턴 오프시키기 위한 전압이 판독되지 않은 영 상의 신호 증폭기의 입력 단자에 입력되고, 트랜지스터를 턴 온시키기 위한 전압이 판독되는 영 상의 신호 증폭기의 입력 단자에 입력된다. 다음에, 판독 행만이 활성화되고, 온 전압을 수신하는 방향으로부터의 출력은 신호 증폭기의 출력 단자(7)에 나타난다. 다음 방법은 해당 접근까지도 제거할 수 있는 신호를 판독할 수 있다.

반복 '트랜지스터를 턴 오프시키기 위한 전압'에 입력되더라도, 트랜지스터가 판독 행을 단지 선택하는 목적으로 완전히 턴 오프될 필요는 없다. 예를 들어, 전압 전압이 5.0V인 경우, 5.0V의 온 전압이 판독 행을 선택함에 있어서 입력되고, 입력 트랜지스터는 선택되지 않은 행에 2V의 양기 시 판독된 턴 오프될 필요가 없다. 선택 행의 입력 전압이 2V 이상일 때, 선택 행의 신호는 신호 증폭기의 출력 단자(7)에 출력된다. 선택 행의 입력 전압이 2V 미만일 때, 2V의 입력 전압에 대응하는 신호가 신호 증폭기의 출력 단자(7)에 출력된다. 이러한 방법은 또한 포와 출력 전압을 제한할 수 있다.

판독 방법을 설명한다. 다음 예에서, 다섯 동작 시 발생된 해당 접근까지도 역시 제거할 수 있다.

(1) 오프 전압이 신호 판독 시 트랜지스터(02)를 경유하여 입력된다.

(2) 온 전압이 선택 행으로부터 신호를 판독하기 위해, 트랜지스터(02)를 경유하여 오프 전압에 있는 입력 단자에 입력된다.

그 결과로서, 선택 행 상의 신호 증폭기(3)가 활성화된다.

(3) 트랜지스터(02)가 턴 오프되고, 입력 단자에 고정 패턴 값을 및 전압 접근이 발생된 신호 증폭기 디바이스로부터의 출력이 17에서와 신호 출력기(15)에 대응하는 부분에 기록된다.

(4) 전술 스위치(01)는 포토다이오드(5)에 유입된 신호 전하를 신호 증폭기의 입력 단자(3)에 전송하기 위해 개방/폐쇄한다.

(5) 신호 전하를 (3)의 접근 신호에 디플로트 없이지는 신호 증폭기 디바이스로부터의 출력이 17에서와 신호 출력기(15)에 대응하는 부분에 기록된다.

(6) 신호가 판독된 후, 오프 전압이 트랜지스터(3)를 경유하여 신호 출력기(3)의 입력 단자에 입력되어 열 상의 신호 증폭기(3)를 비활성화한다.

(7) (3)의 접근 신호로 된 출력 신호가 신호 출력기(15)에 의해 기록된 접근 신호 및 신호 전하로 된 출력 신호로부터 감산된다.

연산 증폭기 및 용량성 클램프 회로를 가지는 자동 회로를 이용하여 감산이 수행될 수 있다.

단계 (1) 내지 (7)에 의해, 접근 신호가 0 및 5V 비율을 갖는 열상 값지 장치를 실현하기 위해 제거될 수 있다.

다른 판독 방법으로서, 예를 들어, 접근 신호를 판독하는 순서가 변경될 수 있다. 즉, 접근 신호 및 신호 전하로 된 출력 신호가 판독된 후, 다섯 동작이 수행되고, 접근 신호로 된 출력 신호가 판독되며, 접근 신호 및 신호 전하로 된 출력 신호로부터 감산된다.

이러한 경우, 다섯 동작 시 발생된 해당 접근이 제거될 수 있지만, 신호 증폭기의 고정 패턴 접근은 제거될 수 있다.

이러한 방법으로, 본 발명은 신호 출력 라인에 화소 신호를 출력하기 위한 종래 선택 스위치를 필요로 하지 않는다. 따라서, 소자의 수가 감소되어, 화소 크기를 크게 감소시킨다.

열상 값지 장치에서, 신호 증폭기는 선형성 및 다이내믹 범위를 가져야만 한다. 그러나, 만약 선택 스위치가 존재하면, 선형성은 선택 스위치의 저항 성분에 의해 열화된다. 예를 들어, 도 1a에 도시된 바와 같이, MOS 트랜지스터로 구성된 선택 스위치(04)가 삽입되는 경우, MOS 소스 플로터(03)의 게이트 전압이 로우가 되는 용량에서 충분한 게이트-소스 전압(VGS)이 선택 스위치(04)에 인가된다. 그러므로, 결정유일과 전류가 로우 드레인-소스 전압(VDS)에서 증폭될 수 있고, 선택 스위치(04)에서의 전압 강하가 무시될 수 있다. 반대로, MOS 소스 플로터(03)의 게이트 전압이 하이가 되는 영역에서, 선택 스위치(04)의 VGS는 로우가 되어, 높은 VDS가 요구된다. 선택 스위치(04)에서의 전압 강하가 2차로 증가하고, 이는 선형성을 크게 열화시킨다. 동시에, 출력 전압 또한 감소하며, 이는 다이내믹 범위를 감소하게 한다.

선형성의 열화를 방지하기 위하여, 선택 스위치(04)는 MOS 소스 플로터(03)의 VDD 측에 배치될 수 있다. 이 경우에도, 선택 스위치(04)의 VGS는 확보될 수 있고, 선택 스위치(04)에서의 전압 강하가 증가하며, 다이내믹 범위의 폭이 좁아진다.

전압 강하 V는 정성적으로 다음 수식식에 의해 주어진다.

<수학적>

$$V = \sqrt{(Iconst/\beta)} + V_{th}$$

$Iconst$: 소스 플로어(03)의 부하로서 기능하는 경전류원의 전류값

V_{th} : 기판 바이어스 효과를 포함하는 MOS 섹트 스위치(04)의 영계 전압

β : 섹트 스위치(04)의 구동력을 나타내는 구조 파라미터

이 경우, 모든 항들에 대응하는 MOS 소스 플로어(03)의 섹트화 커패시턴스가 신호 출력 라인(4)에 부가 되는 때문에, 부하 커패시턴스가 크고, 고속 동작에 수행되기 어렵다.

고속 동작을 수행하기 위하여, $Iconst$ 를 크게 설정해야 한다. $Iconst$ 가 커지면, 상기 수식에서 알 수 있듯이, 섹트 스위치(04)에서의 전압 강하가 바람직하지 않게 커진다.

그러나, 섹트되지 않은 행 상의 MOS 소스 플로어(03)를 구성하는 MOS 트랜지스터에 OFF 전압이 입력되면, 섹트화 커패시턴스가 부가되지 않는다. 따라서, 섹트 스위치(04)의 부하 때문에 낮은 다이내믹 범위를 갖는 영상 감지 장치에 제공될 수 있다.

본 발명은 광 신호를 판독에 내기 위한 영상 감지 장치에 국한되지 않고, 상기 화소에서 포토다이오드 대신에 신호를 검출 소자로써 자기 전서를 이용하여 셀들이 구성되고, 2차원적으로 배열되는 자가 전하 감지회로를 채용할 수도 있다.

본 발명은 또한 도 3a에서 포토다이오드(5) 대신에 종단 커패시터를 이용하여 셀들이 구성되는 아날로그 메모리에도 적용될 수도 있다. 예를 들어, 이 아날로그 메모리에서는, 아날로그 데이터가 라스트 행의 라인에 인가되어 02와 이를 경유하여 종단 커패시터에 기록된다. 종단 커패시터에 기록된 아날로그 데이터는 광 신호를 판독하는 것과 동일한 절차에 의해 판독된다. 예를 들어, 이 아날로그 메모리는 하나의 셀에 256 개 그레이 레벨, 즉 8-비트 디지털 데이터를 하나의 아날로그 데이터로서 기록하도록 설계되고, 1,000,000 셀들로 구성된다. 그 결과, 8-비트 아날로그 메모리가 제공될 수 있다.

상기한 구성에서, 신호 증폭기는 소스 플로어 구성으로 동작하는 MOS 트랜지스터와, 저장기 부하를 적으로 동작하는 MOS 트랜지스터로 구성되며, 반도체 공정의 제하에 작은 면적과 단순한 구성을 갖는다.

이상의 설명에 기초하여 제1 내지 제9 실시예들을 보다 상세히 설명하겠다.

도 4는 제1 실시예의 화소부의 등가 회로도이다. 도 5는 판독 시스템을 또한 포함하는 제1 실시예를 설명하기 위한 회로도이다. 제1 실시예의 포토다이오드는 도 6에 도시된 것과 같이 배열된 포토다이오드, 수광부로서 기능하는 배열된 포토다이오드는 n형 실리콘 기판(601) 상의 p형 웰 영역(602)에 형성된 n형 웰(603)으로부터 형성된다. n형 웰(603) 상에 형성된 p형 표면층(604)은 암전류(dark current) 방지 기능을 제공한다. p형 웰 영역(602)과 게이트 전극(606) 사이에 절연층(607)이 형성된다. 도 6의 게이트 전극(606)은 도 4의 전송 스위치(01)의 게이트 전극으로서 기능하고, 도 4의 소스 플로어(03)의 게이트 전극에 n형 웰 영역(605)이 접속된다. 도 4의 소스 플로어(03)의 일측 단자는 도 5의 신호 출력 라인(505)에 접속된다. 소스 플로어(03)는 신호 출력 라인(503)을 경유하여 경전류원(514)에 접속되어 소스 플로어를 형성하고 신호를 증폭시킨다. 도 4에서, 전송 스위치(01)는 포토다이오드(406)에 누락된 전하를 신호 스위치의 입력 단자로서 기능하는 소스 플로어(03)의 게이트에 전송하기 위한 스위치이다. 도 4에서, 검색 스위치(02)는 라스트 전압(402)에 설정된 전압을 입력 단자에 입력하기 위한 스위치이다. 도 5에서는, 신호들이 행 단위로 판독된다. 상술한 바와 같이, 잡음 신호가 먼저 판독되어 각 소자마다에 준비된 잡음 및 광 신호가 커패시터들로 구성된 신호 축적기(506)에 유지된다. 광 신호가 판독되어 신호 축적기(506)에 유지된다. 잡음 신호 및 광 신호가 신호 축적기(506)로 판독된 후에, 신호 축적기(506)에 유지된 잡음 및 광 신호들은 수평 시프트 레지스터에 의해 스위치들(04a 및 04b)을 제재함으로써 시계열 방식으로 공통 신호 라인 1(509) 및 공통 신호 라인 2(510)로 순차적으로 판독된다. 2가지 타입의 회로들, 즉 플립프롭 및 미분 회로를 이용하여 광 신호 (=광 성분 + 잡음 성분)로부터 잡음 신호 (=잡음 성분)가 공제된다. 그 결과, 화소 내에 행 섹트 스위치를 배치하지 않고서도 신호가 판독될 수 있고, 섹트 스위치 오프를 형성하지 않고 화소 사이에서 축소할 수 있다. 게다가, 행의와 열의 3/N 비와 같은 3/N 비가 포함될 수 있다.

도 8은 제1 실시예에서 사용되는 각 화소 트랜지스터에 대한 플스 타이밍, 즉 화소로부터 신호 축적기(506)로의 잡음 및 광 신호들의 판독들 간의 주기를 도시한다.

도 8의 0n 및 0n는 신호 축적기(506)로의 각 스위칭 타이밍들이다.

도 7은 신호 증폭기로서 사용되는 소스 플로어의 임/출력 특성을 도시한다. 곡선 a는 제1 실시예의 임/출력 특성을 나타내고, 입력 전압 A는 최고 입력 전압이다. 소스 플로어의 입력 전압 C는 선정 영역이 확보되는 최저 입력 전압이고, 최고 신호 전압 판독 시에 전압으로 설정된다. 곡선 b는 입력 신호 0에의 오프 대역에 다이내믹 범위의 폭이 좁아지고 때에이치는 특성을 나타낸다. 곡선 c는 소스 플로어가 더 큰 손실과 절대적으로 작은 마찰을 가질 때 얻어지는 특성을 나타낸다.

도 8의 주기 마는 화소 섹트 주기이다. 라스트 동작에 의해 섹트된 행 상의 소스 플로어(03)의 입력 단자에 입력 전압 C 이상의 전압 전압을 입력함으로써, 그리고 비선형적으로 행에 입력 전압 C 마만의 전압을 입력함으로써, 행 섹트 어부가 확인되었다.

도 8을 참조하여 동작 설명을 하겠다. 라스트 전원이 하이 레벨로 변환 후, 섹트화 행 상의 라스트 스위치(02)가 턴 온되어 소스 플로어(03)의 게이트 전압이 하이 레벨로 변환한다. 게이트 전압은, 라스트 스위치(02)의 게이트 전압에 라스트 전원의 전압보다 훨씬 높은 경우에는 라스트 전원과 같고, 또는 라스트 스위치(0

2)의 게이트 전압이 리셋 전원의 전압과 같거나 그 이하인 경우에는 리셋 스위치(Q2)의 게이트 전압보다 약간 전압강하를 보임.

리셋 스위치(Q2)가 턴 오프되고, 소스 플로터(Q3)의 게이트가 플로트 상태가 된 후, 공통 신호 라인(S0)으로의 전송 스위치(Q1a)와 Q1a에 턴 온되고, 리셋 동작 직후의 값을 성분비 신호 측각기(S06)에 유지되고 도 8의 전역 S).

선택된 행 상의 소스 플로터(Q3)의 게이트 전압만이 배선택된 행 상의 소스 플로터(Q3)의 게이트 전압보다 훨씬 높기 때문에, 각 컬럼 상의 신호 출력 라인 상에 배치된 평면형으로부터의 전류가 선택된 행 상의 소스 플로터(Q3)만을 통하여 흐르고, 선택된 행 상의 소스 플로터(Q3)의 게이트 전압에 대응하는 전압이 소스 플로터로부터 출력된다.

Q1a에 턴 오프된 후, 전송 스위치(Q1)가 턴 온되어 포트다이드(D05)의 광 신호 성분비 소스 플로터(Q3)의 게이트로 전송된다(도 8의 간격 8).

소스 플로터 Q3의 게이트 단자에서 전송된 전하 Qsig 및 캐패시터 C₀에 대응되는 전압 하차 Qsig/C₀이 발생한다. 리셋 스위치 Q2가 턴 오프될 때, 소스 플로터 Q3의 게이트는 값을 성분비 광 신호 성분을 중첩시킴으로써 획득된 전압을 보유한다. 소스 플로터 Q3의 게이트 전압에 대응되는 전압은 소스 플로터로부터 출력된다.

소스 플로터 Q3의 게이트의 전압은 포화 전하(saturation charge)의 판독 시 최저치가 된다. 소스 플로터 Q3의 게이트 동작량을 허용한 본 발명의 선택 판독 방법에서는 상기 전압이 배선택된 행 상의 소스 플로터 Q3의 게이트 전압 보다 훨씬 더 높다는 것이 중요하다.

공통 신호 라인(S10)의 전송 스위치 Q1a와 Q1a가 턴온/턴오프되고, 값을 성분 상의 광 신호 성분을 판독함으로써 획득된 신호는 신호 측각기(S06) 내에 보유된다(도 8의 간격 C).

리셋 전원의 전압이 로우 레벨로 변경된 후, 리셋 스위치 Q2가 턴온/턴오프되어 소스 플로터 Q3의 게이트 전압을 감소시키고 이 소스 플로터 Q3의 선택을 취소시킨다.

다이내믹 범위는 도 7을 참조하여 설명될 것이다. 본 발명의 효과를 확언하기 위하여, 종래의 선택 스위치 Q2에 의한 행 선택의 결과를 도 7a에 나타냈다. 곡선들 a, b, c는 각각 본 발명의 화소, 즉 입력 MOS 트랜지스터 Q3과 공통 전압선에 선택 스위치 Q2의 삽입되는 광의 화소와, 도 1a에 나타낸 종래의 화소에 대한 결과를 나타낸다. 제1 실시예에서, 높은 소스 플로터에 입력 전압은 다크(dark)측에 인가되고, 입력 라인 리셋 전압은 리셋 스위치 Q2에 의해 전압 전압측에 인가된다. 광 전하들이 증가함에 따라, 소스 플로터로의 입력 전압이 하락한다. 일반적으로, 다크측 상의 선택 특성은 중요하기 때문에, 입력 전압이 높은 영역에서 선택성이 보장되도록 하여야 한다. 본 발명의 화소에서는 선택성이 도 7의 전압 A까지 보장될 수 있지만, 종래의 화소에서는 도 7의 전압 범위만 보장될 수 있다. 이를 결과로부터, 본 발명의 화소는 특별한 다이내믹 범위를 가진다는 것이 확인된다. 즉, 리셋 전압이 낮은 영역에서, 이러한 효과는 더욱 두드러지게 되고, 화자의 동작 가능한 전압 전압은 도 1a의 종래의 화소보다 보다 약 1V 만큼 더 높다.

도 8는 제2 실시예의 화소 부분의 동작 회로도이다. 또한, 도 10은 판독 시스템을 포함하는 제2 실시예를 설명하기 위한 회로도이다. 제2 실시예의 포트다이드(D05)는 제1 실시예에서와 같은 때밀링 포트다이드이다.

신호 증폭기는 MOS 트랜지스터 Q3과 부하 저항(1014)으로 구성된 반전 증폭기로 구성되고, 각 트랜지스터에 대한 판독 절차 및 팔스 타이밍은 제1 실시예에서와 같다.

보다 구체적으로, MOS 트랜지스터 Q3의 일개 전압 이하거나 이의 동일한 전압은 배선택된 행 상의 MOS 트랜지스터 Q3의 게이트 단자에 인가되어 MOS 트랜지스터 Q3에 턴오프된다. 선택된 행 상의 MOS 트랜지스터 Q3의 게이트 단자는 하아 레벨로 일시적으로 리셋되고, 광 신호는 MOS 트랜지스터 Q3의 게이트 단자로 판독되어 선택된 행 상의 MOS 트랜지스터 Q3의 게이트 단자의 전압에 대응되는 전류를 부하 저항(1014)을 통하여 흐르게 하고, 광 신호를 선택적으로 판독하게 한다. 광 신호 및 값을 신호의 판독 타이밍들은 제1 실시예에서와 같다. 리셋 스위치 Q2로부터 인가된 리셋 전압 전압은 특별한 다이내믹 범위를 보장하기 위하여 제1 실시예에서와 같다.

신호 증폭기가 반전 증폭기이기 때문에, 신호 증폭기의 입력은 회로 내에서 설계될 수 있고, 제1 실시예의 소스 플로터 증폭기의 S/N비 보다 본 센서가 제공할 수 있다.

제3 실시예는 신호 증폭기를 구성하는 트랜지스터 Q3에서 사용된 p-채널 접합 전계 효과 트랜지스터와 부하 저항으로 이루어진 반전 증폭기와 구성된 광센서를 제공한다.

전압 전계 효과 트랜지스터 Q3의 게이트 전극이 불순물 확산 영역으로부터 형성되기 때문에, 전송 스위치 Q1의 소스/드레인 영역으로서의 확산 영역은 게이트 전극으로서 적절 사용된다. 그 결과, 화소 크기는 감소될 수 있는데, 이는 제1 및 제2 실시예에서 전송 스위치 Q1의 소스/드레인 영역으로서의 확산 영역과 전압 전계 효과 트랜지스터 Q3의 플리실라온 게이트 전극을 접속하기 위한 영역의 부재, 즉 확산 영역과 암 채널에 대한 상호 접속을 접속시키기 위한 콘택부, 플리실라온과 채널 상호 접속을 접속시키기 위한 콘택부, 및 채널 상호 접속들을 서로 접속시키기 위한 상호 접속부의 부재로 인한 것이다.

제3 실시예는 p-채널 접합 전계 효과 트랜지스터 Q3을 채택한다. 배선택된 행에는 하아-레벨 off 전압이 인가된다. 선택된 행에 대하여, 전압은 약 (1/2)-W00의 온 전압으로 일시적으로 리셋되고나서, 광 신호는 접합 전계 효과 트랜지스터의 게이트 전극으로 전송된다. 광 신호가 게이트 전극으로 전송된 후, 게이트 전극의 전압은 하락한다. 게이트 전극의 전압과 전압 전압 둘다 감소될 수 있기 때문에, 광 센서는 다이내믹 범위를 증폭시킴 없이도 저 전압 전압에서 동작할 수 있다.

도 11은 제4 실시예의 동작 회로도이다. 제4 실시예에 있어서, MOS 트랜지스터(1114)는 제2 실시예의 신호

증폭기의 부하 저항(1014)을 대체한다.

제2 실시예에 있어서, 신호 증폭기의 입력 전압을 V_{in} 으로 하고, 신호 출력 라인(1003) 상의 출력 전압을 V_{out} 으로 하면, $V_{out} = R \cdot A \cdot (V_{in} - B)$ 가 되며, 여기서 R은 부하 저항(1014)의 저항값이고, A 및 B는 MOS 트랜지스터 Q3에 대한 고유 파라미터들이다.

제4 실시예에 있어서, 신호 증폭기의 입력 전압을 V_{in} 으로 하고, 신호 출력 라인(1103) 상의 출력 전압을 V_{out} 으로 하면, $V_{out} = A \cdot (V_{in} - B)$ 가 되며, 여기서 A 및 B는 MOS 트랜지스터 Q3 및 MOS 부하(1114)에 대한 고유 파라미터들이다.

상기 방법에서, 출력 전압 V_{out} 은 입력전압 V_{in} 의 선형 함수로서 제공되고, $A > 1$ 이 만족될 수 있다. 이 경우, 신호 증폭기의 소스 볼트 Q3의 선형 영역이 넓어질 수 있다.

도 12는 제5 실시예의 블록 회로를 도시한다. 복수의 화소 MOS 트랜지스터 Q3의 소스 단자가, 상기 실시예와 유사하게 신호 출력 라인(1206)에 연결된다. 각각의 화소 트랜지스터에 대한 판독 절차 및 펄스 타이밍은 제1 실시예와 동일하다.

동작 원리에 따라서, 정전압 VA가 VA 단자(1207)에 인가될 때, 바이폴라 트랜지스터의 에미터 전압, 즉, 신호 출력 라인(1206)의 전압이 바이폴라 트랜지스터의 베이스-에미터 전압 V_{BE} 에 대해 $[VA - V_{BE}]$ 로 고정된다.

리셋 전압 V_{res} 가 MOS 트랜지스터 Q3의 게이트 단자에 입력될 때, MOS 트랜지스터 Q3은 전류 I_1 :

$$I_1 = \{ (V_{res} - V_{th}) - (VA - V_{BE}) \} / r_1$$

을 흘린다.

전류 I_2 :

$$I_2 = (VA - V_{BE}) / r_2$$

가 저항 r_2 를 경유해서 흐르기 때문에, 전류 I_3 ($= I_2 - I_1$):

$$[(VA - V_{BE}) / r_2] - \{ (V_{res} - V_{th}) - (VA - V_{BE}) \} / r_1$$

는 전압과 바이폴라 트랜지스터 사이에 연결된 저항 r_3 를 경유해 흐르고, 단자 VB(1208)는 전압 V_B :

$$V_{DD} - \{ [(VA - V_{BE}) \cdot r_3 / r_2] - \{ [(V_{res} - V_{th}) - (VA - V_{BE}) \cdot r_3 / r_1] \}$$

$$- \{ [(V_{res} - V_{th}) - (VA - V_{BE}) \cdot r_3 / r_1] \}$$

를 수신한다. 광 신호가 MOS 트랜지스터 Q3의 게이트 단자로 전송되고, MOS 트랜지스터 Q3의 게이트 단자의 전압이 $V_{res} - \Delta V$ 로 변화할 때, 단자 VB(1208)의 전압 V_B 는

$$V_{DD} - \{ [(VA - V_{BE}) \cdot r_3 / r_2] - \{ [(V_{res} - \Delta V - V_{th}) - (VA - V_{BE}) \cdot r_3 / r_1] \}$$

$$- \{ [(V_{res} - \Delta V - V_{th}) - (VA - V_{BE}) \cdot r_3 / r_1] \}$$

로 변화한다. 광 신호 성분 $\Delta V \cdot r_3 / r_1$ 은 리셋 동작 후 바로 단자 VB(1208)의 전압 V_B 와 광 신호를 MOS 트랜지스터 Q3의 게이트 단자로 전송한 후 단자 VB(1208)의 전압 V_B 사이의 차이를 계산함으로써 얻어질 수 있다.

제5 실시예에서, 도 8에 도시된 펄스는 복수의 펄스들 동시에 인가되어 이들 펄스들 동시에 선택된다. 상기 감기는 단자 VB에 화소 신호들의 총합을 받기 위해서 실행된다. 제3 및 제4 실시예에서도, 총합이 얻어질 수 있지만, 선형성이 얻어질 수 없다. 즉, 동일 펄스 및 동일 클럭의 두 펄스들에서 화소 신호의 총합이 단자 VB로 출력된다. 종래 배치와 같이, 동일 스위치가 있다면, 비선형 스위치 저항의 존재로 인해 가산(addition)이 높은 정확도를 가지고 실행할 수 없다. 그러나, 본 발명은 영역의 선택 스위치를 별도로 하지 않기 때문에, 가산이 높은 정확도를 가지고 흥미하게 실행할 수 있다.

제1 실시예의 회로 배치에서, 펄스는 도 13에 도시된 대응 타이밍으로 각 화소 트랜지스터에 인가된다. 제6 실시예에서, 비선형 주기동안, 리셋 스위치는 온이 유지되고, 리셋 전압의 전압은 리셋 스위치 Q2를 경유해서 지속적으로 인가된다. 전송 스위치 Q1이 하이 및 로우 레벨 사이의 전압으로 설정된다. 따라서, 전송 스위치 Q1은 트랜지스터 Q1의 게이트 전압에 의해 오버랩을 레벨을 결정하는 복단 트랜지스터 Q1의 가이팅 기능을 포함하고, 안정 화소에 대한 크로스토크가 줄어든다. 오버랩 레벨을 트랜지스터 Q1의 가이팅 전압에 의존하기 때문에, 트랜지스터 Q1의 게이트 전압에 0V일 때에도 트랜지스터 Q1은 트랜지스터 Q1의 가이팅 전압에 의존하는 수평 오버랩으로 드러내므로 작용한다.

트랜지스터 스위치 Q1이 수평 오버랩으로 드러내므로 작용하기 위해서, 드러내-속 전압은 항상 하이 레벨로 또는 거의 하이 레벨로 설정된다. 이 경우, 도 1a 및 1b에서 도시된 배와 같이, 선택 스위치 Q4가 배드 타이밍에 한한다. 본 발명은 포워드비드득 상에 있는 소스와 MOS 트랜지스터 Q3의 게이트 단자로서의 드러내를 갖는 트랜지스터 Q1이 5극관(pentode) 동작의 바이어스 조건을 만족한다만 트랜지스터 스위치 Q1이 수평 오버랩으로 드러내므로 작용한다는 것을 광범위한 연구가 발견하도록 한다. 제6 실시예에서, 이의 가이팅 전압이 종래 배치에서 보다 낮게 설정되고, 리셋 전압의 낮은 레벨은 1.5V로 설정된다. 더욱이, 이 낮은 레벨 전압은 포화 전압에 한계를 둔다. 제6 실시예에서 각 화소 트랜지스터에 대한 펄스 타이밍에 제1 실시예에서의 회로 배치뿐만 아니라 남아있는 실시예들에서의 회로 배치에 적용될 수 있다.

도 14는 제7 실시예에서 각 화소의 회로 배치를 도시한다. 도 15는 각 화소 트랜지스터 및 다른 주 트랜지스터와 펄스 타이밍 및 신호 출력 라인(1406)의 출력 전압을 도시한 타이밍 차트이다. 제7 실시예에 따른 펄스 펄스도 도 5에서 도시된 단일 클럭기(506) 및 수평 클럭트 레지스터(507)로 구성된다. 제7 실시예는 리셋 전압이 영역의 리셋 전압에 가해지지 않고 선형 출력 라인(1406)을 경유하여 출력되는 점에서 제1 및 제6 실시예와 다르다. 즉, 신호 출력 라인(1406)은 트랜지스터 Q4와 연결된 상태에 음극하

여 시제일 방법으로 제1 및 제6 실시예의 출력 신호 라인 및 래치 전원으로 작용한다.

제1 실시예와 유사하게, 화소로부터의 신호가 신호 출력기(506)에 임시로 남겨지고, 수평 어프트 레지스터(507)에 의해 스위치 0_{1n} 및 0_{1b}를 연속적으로 개방/폐쇄함으로써 공통 신호 라인(509) 및 공통 신호 라인 2(510)로 연속적으로 판독되고, 출력 단락기(513)를 경유해서 접을 신호(511) 및 접 신호(512)로서 출력으로 출력된다. 위와 판독기에서 수평 주시기간이 종료된다. 즉, 선택된 행의 화소로부터의 신호가 대략 10μs 유지되고, 제6 실시예와 유사하게, 래치 전원(1402)의 전압이 래치 스위치 0₅ 및 트랜지스터 0₄를 경유해서 신호 출력 라인(1406)으로 지속적으로 연결된다. 전술 스위치 0₁이 하이 레벨 및 로우 레벨 사이의 전압으로 설정된다. 따라서, 전술 스위치 0₁은 트랜지스터 0₁의 게이트 전압에 의해 오버플로 레일을 결정하는 수평 오버플로 드레인 기능을 포함하고, 감압 화소에 대한 크로스토크가 감소한다.

제6 실시예와 비교해서, 선택된 행의 화소로부터의 신호가 신호 출력기(506)로 전송될 때마다 오버플로 드레인의 기능을 중단하기 위해서 선택되지 않은 라인의 화소에서 전술 스위치 0₁은 꺼진다. 제6 실시예의 구성 방법에 따라, 영상 장치가 MOS 레이드를 판독한다. 즉, 선택된 행의 화소로부터의 신호가 대략 10μs의 수평 주시기간 동안 신호 출력기(506)로 전송되고, 이 신호 출력기(506)의 정보기 대략 50μm의 수평 주시기간 동안 외부로 판독된다. 오버플로 드레인 기능 중단 기간은 그러므로 대략 전체 기간의 17%이고, 전술 스위치 0₁은 대부분의 기간 동안 오버플로 드레인으로서 효과적으로 작용한다.

도 15는 한 쌍의 스위치 0_{1n} 및 0_{1b}, 즉, 스위치 0₁ 및 0₂, 선택된 행 상의 래치 전원, 래치 전원 후 비로 래치 라인에 연결된 래치 SW를 턴 온/오프(하이/로우)하기 위한 래치 스위치 0₂, 잠금 신호를 판독한 후 공통 신호를 판독하기 전에 MOS 트랜지스터의 게이트 입력 단자에 포도다이드의 전하를 전송하기 위한 전술 스위치 0₁, 전술 스위치 0₁의 턴 온 후 공통 신호에 대응하는 전압에 따라 변화하는 MOS 트랜지스터 0₃의 게이트 입력 전압, 래치 픽업들 공급하기 위한 래치 스위치 0₄, 정전류 소스 MOS 트랜지스터 0₅의 부하

Q4

(load)로 사용하는 래치 스위치 0₄에 반대로 턴 온/오프되는 부하 스위치 (1406)의 신호 출력 전압의 타이밍을 도시한다.

도 16은 제8 실시예의 화소부의 동기 회로도이다. 수평 오버플로 드레인 MOS 트랜지스터 0₅가 제7 실시예의 화소 배치에 설치된다. 레벨이 MOS 트랜지스터 0₅의 게이트 전압에 의해 결정된 경우, 또는 MOS 트랜지스터 0₅의 게이트로 결합 = MOS 트랜지스터 0₅의 드레인 전압 = VDD의 관계를 만족시키기 위해서 양극 전압이 조절된 전압에 대해서 오버플로 레벨이 사용되었다. 제7 실시예에서의 거의 동일한 크로스토크 저항이 확인되었고, 제7 실시예가 효과적인 방법이라고 알게되었다. 제7 실시예에서, MOS 트랜지스터 0₅에 의한 수평 오버플로 드레인이 배치되지만, 수직 오버플로 드레인이 배치될 수 있다.

제9 실시예가 도 17을 참조하여 설명될 것이다. 제9 실시예에서, 제7 실시예의 배치에 0₄가 추가된다. 수평 주시기간 동안, 제7 실시예와 유사하게, 0₄가 턴 온되고 0₄' 및 0₄'이 턴 오프되고, 트랜지스터 0₁₀이 수평 오버플로 드레인으로서 작용하게 된다. 판독 시, 0₄가 턴 오프되고, 0₄' 및 0₄'가 턴 온되고, MOS 트랜지스터 0₃이 두 종류의 판독 스캔, 즉 소스 플로우 판독 스캔 및 반전 증폭기 판독 스캔의 선택을 가능하게 하기 위해서 턴 온된다.

특히, 0₄가 턴 오프되고, 0₄'이 턴 온되고, 0₄'이 턴 오프되고, 제1 실시예와 유사하게 소스 플로우 판독을 실행하기 위해서 전압(1701)이 VDD로 설정된다.

반면에, 0₄가 턴 오프되고, 0₄'이 턴 오프되고, 0₄'이 턴 온되고, 제4 실시예와 유사하게 MOS 반전 증폭기 판독을 실행하기 위해서 전압(1701)이 설치된다. 선택 스위치의 부하로 인해 트랜지스터 0₃이 변할 때 신호 출력 라인에 대칭성이 때문에, 뛰어난 선형성이 얻어질 수 있고, 단지 단일 회로(single circuit)만을 첨가함으로써 다기능적 판독이 실현될 수 있다. 특히, 반전 증폭기 판독에 의한 square addition 판독 및 소스 플로우 판독에 의한 bottom 검출이 실행된다.

제9 실시예에서, MOS 트랜지스터의 수는 출력 신호 라인에 래치 전원을 공급하기 위한 래치 스위치 0₄, 소스 플로우 스캔에서 판독된 정전류 소스의 전압을 추가하기 위한 MOS 트랜지스터 0₃의 부하의 역할을 하는 부하 스위치 0₄' 및 전압 VDD를 공급하기 위한 전압 스위치 0₄'로 만들어진 판독 스캔 선택 스위치에 의해 개폐 동작하는 것을 보인다. 10,000 대 100,000 화소와 비교해서, 저지전 압력에서의 동작은 매우 작다. 선택 스위치의 부하와 비교해서, 큰 화소 개방 레이트가 보정될 수 있다. 더욱이, 접을 신호가 제거되는 것으로부터 광 신호의 판독 상태에 따라 판독 스캔이 선택될 수 있다.

상술된 내용과 같이, 제1 내지 제9 실시예에 따라서, 판독 화소는 화소 또는 썸 내의 신호 증폭기의 입력 단자의 동작점, 즉, 선형한 전압에 대한 입력 단자의 래치 전압을 변화함으로써 선택되거나 선택되지 않을 수 있다. 증대 판독 선택 스위치는 다음의 효과를 얻기 위해서 사용될 수 있다.

발명의 효과

화소 또는 썸 내에 포함된 트랜지스터의 수는 화소 또는 썸을 소형화한다. 신호 증폭기의 선형성은 입력의 선적 스위치 없이 넓은 전압 범위 내에서 보증될 수 있다. 더욱이, 다기능 판독은 단일 회로, 즉, 소스 플로우 회로 및 반전 증폭기를 선형하기 위한 신호 출력 및 선택 스위치를 임시적으로 라칭하기 위한 MOS 트랜지스터를 첨가함으로써 실행될 수 있다.

본 발명의 다수의 매우 다른 실시예들이 본 발명의 정신 및 범주에 벗어나지 않고 구성될 수 있다. 본 발명은, 첨부된 청구항 내에 정의된 것을 제외하고, 명세서 내에 설명된 특정 실시예에 국한되지 않는다는 것이 이해되어야 한다.

(57) 청구의 범위

참구항 1

영상 감지 장치에 있어서,

광전 변환 수단,

상기 광전 변환 수단으로부터의 신호를 증폭하기 위한 증폭 수단,

상기 광전 변환 수단으로부터의 상기 신호를 상기 증폭 수단으로 전송하기 위한 전송 수단, 및

상기 증폭 수단의 입력부의 전압 레벨의 제어 하에서 상기 증폭 수단으로부터의 상기 신호의 판독을 제어하기 위한 판독 제어 수단

을 각각 포함하는 복수의 화소들로 구성된 영상 감지 장치.

참구항 2

제1항에 있어서, 상기 증폭 수단은 MOS 트랜지스터를 포함하고, 상기 입력부는 상기 MOS 트랜지스터의 게이트인 영상 감지 장치.

참구항 3

제1항에 있어서, 상기 증폭 수단은 접합 트랜지스터를 포함하는 영상 감지 장치.

참구항 4

제1항에 있어서, 상기 증폭 수단은 풀러머형인 영상 감지 장치.

참구항 5

제1항에 있어서, 상기 증폭 수단은 가산형인 영상 감지 장치.

참구항 6

제1항에 있어서, 상기 전송 수단은 상기 광전 변환 수단 및 상기 증폭 수단의 상기 입력부 사이에 삽입된 트랜지스터를 포함하는 영상 감지 장치.

참구항 7

제1항에 있어서, 상기 판독 제어 수단은 상기 증폭 수단의 상기 입력부에 전압을 입력하기 위한 스위치 소자를 포함하는 영상 감지 장치.

참구항 8

영상 감지 장치에 있어서,

광전 변환 유닛,

상기 광전 변환 유닛으로부터의 신호를 증폭하기 위한 증폭 유닛,

상기 광전 변환 유닛의 상기 신호를 상기 증폭 유닛으로 전송하기 위한 전송 유닛, 및

상기 증폭 유닛의 입력 단자에 임의의 전압을 입력하기 위한 전압 입력 유닛

을 포함하는 복수의 화소들로 구성되되, 상기 전압 입력 유닛은 상기 증폭 유닛의 상기 입력 단자의 동작점을 변화시킴으로써 상기 증폭 유닛으로부터의 상기 신호의 판독을 제어하는 영상 감지 장치.

참구항 9

제8항에 있어서, 상기 증폭 유닛은 MOS 트랜지스터를 포함하고, 상기 입력 단자는 상기 MOS 트랜지스터의 게이트인 영상 감지 장치.

참구항 10

제8항에 있어서, 상기 증폭 유닛은 접합 트랜지스터를 포함하는 영상 감지 장치.

참구항 11

제8항에 있어서, 상기 증폭 유닛은 풀러머형인 영상 감지 장치.

참구항 12

제8항에 있어서, 상기 증폭 유닛은 가산형인 영상 감지 장치.

참구항 13

제8항에 있어서, 상기 전송 유닛은 상기 광전 변환 유닛 및 상기 증폭 유닛의 상기 입력 단자 사이에 삽입된 트랜지스터를 포함하고, 상기 신호의 판독은 상기 신호 증폭 유닛의 상기 입력 단자의 상기 동작점을 변화시킴으로써 제어되고, 전압은 내-반복기간 동안 상기 트랜지스터의 포토타이머드에 대항하는 단자에 인가되는 영상 감지 장치.

참구항 14

제8항에 있어서, 상기 판독 제어 유닛은 상기 증폭 유닛의 상기 입력 단자에 전압을 입력하기 위한 스위치

소지를 포함하는 영상 감지 장치.

청구항 15

제14항에 있어서, 상기 스위치 소자는 상기 증폭 유닛의 상기 입력 단자와 상기 증폭 유닛의 출력 단자 사이에 배치된 영상 감지 장치.

청구항 16

신호 검출 장치에 있어서,

검출 수단,

상기 검출 수단으로부터의 신호를 증폭하기 위한 증폭 수단,

상기 검출 수단으로부터의 상기 신호를 상기 증폭 수단으로 전송하기 위한 전송 수단, 및

상기 증폭 수단의 입력부의 전압 레벨의 제어 하에서 상기 증폭 수단으로부터의 상기 신호의 판독을 제어하기 위한 판독 제어 수단

를 각각 포함하는 복수의 셀들로 구성된 신호 검출 장치.

청구항 17

신호 축적장치에 있어서,

축적 수단,

상기 축적 수단으로부터의 신호를 증폭하기 위한 증폭 수단,

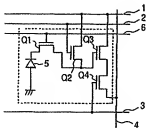
상기 축적 수단으로부터의 상기 신호를 상기 증폭 수단으로 전송하기 위한 전송 수단, 및

상기 증폭 수단의 입력부의 전압 레벨의 제어 하에서 상기 증폭 수단으로부터의 상기 신호의 판독을 제어하기 위한 판독 제어 수단

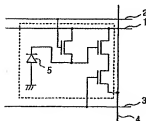
를 각각 포함하는 복수의 셀들로 구성된 신호 축적 장치.

도면

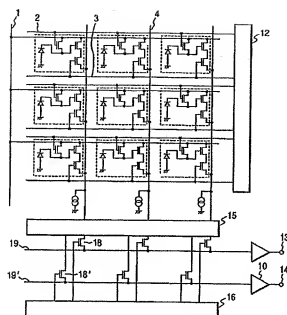
도면 1a



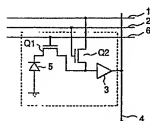
도면 1b



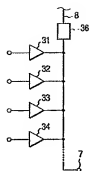
Σ 2'2



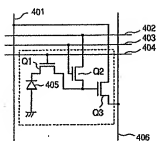
Σ 2'3a



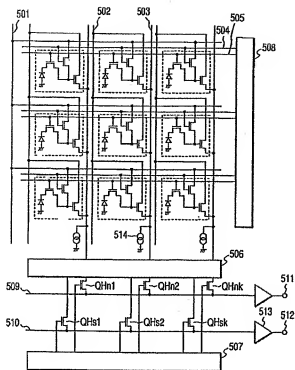
도 23b



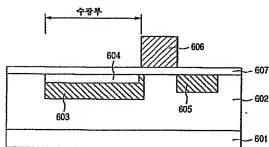
도 24



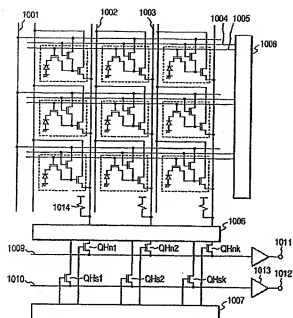
도 25



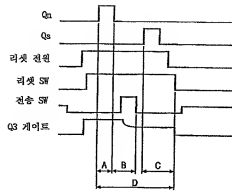
도 26



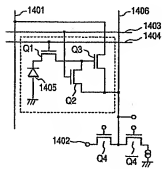
도면 10



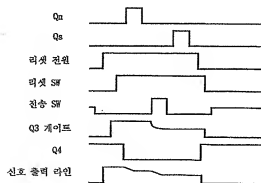
도면 13



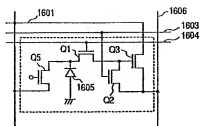
도면 14



도면 15



도면 16



도면 17

